

特開平9-312331

(43) 公開日 平成9年(1997)12月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/762			H 0 1 L 21/76	D
27/08	3 3 1		27/08	3 3 1 A

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号 特願平8-128270

(22) 出願日 平成8年(1996)5月23日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大塚 文雄

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 高橋 明夫

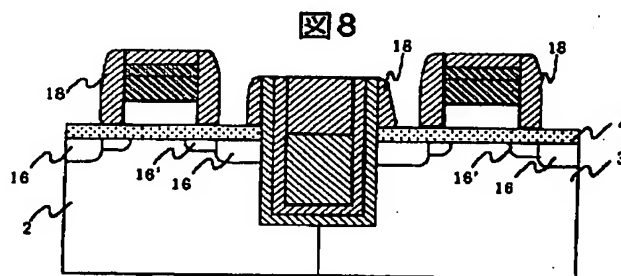
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 溝構造の素子分離領域を半導体装置におけるコンタクトホール間隔を短く、素子集積密度を高める。

【解決手段】 半導体基板(1)に素子分離領域の溝(8)及び溝(8)によって分離されたMOSトランジスタが形成された半導体装置において、素子分離領域(8)の上面にシリコン窒化膜(12)を形成し、溝(8)の内部にシリコン窒化膜より誘電率の低い絶縁体SiO₂(11)を埋め込む構造し、MOSトランジスタのゲート電極15の上面及び側面にシリコン窒化膜(20)が形成される。

【効果】 素子分離領域及びゲート電極の上面及び側面のシリコン窒化膜がコンタクトホールのエッチストップパとして働き、コンタクトホール間の間隔を詰めることができる。



1

【特許請求の範囲】

【請求項1】半導体基板に素子分離領域の溝をもつ半導体装置において、上記素子分離領域の上面にシリコン窒化膜を形成し、上記溝の内部にシリコン窒化膜より誘電率の低い絶縁体を埋め込む構造としたことを特徴とする半導体装置。

【請求項2】半導体基板に素子分離領域の溝及び上記溝によって分離されたMOSトランジスタが形成された半導体装置において、上記素子分離領域の上面にシリコン窒化膜を形成し、上記溝の内部にシリコン窒化膜より誘電率の低い絶縁体を埋め込む構造をもち、上記MOSトランジスタのゲート電極の上面及び側面にシリコン窒化膜が形成されたことを特徴とする半導体装置。

【請求項3】上記ゲート電極がタングステンであり、上記絶縁体が酸化シリコンであることを特徴とする請求項2記載の半導体装置。

【請求項4】半導体基板に素子分離領域の溝をもつ半導体装置の製造において、上記半導体基板に溝を形成した後、シリコン酸化膜を上記溝内に埋込み、この後上記シリコン酸化膜を上記溝の途中までエッチングし、この後シリコン窒化膜を上記溝内に埋め込むことで素子分離領域を形成することを特徴とする半導体装置の製造方法。

【請求項5】半導体基板に素子分離領域の溝及び上記溝によって分離されたMOSトランジスタが形成された半導体装置の製造において、上記半導体基板に上記MOSトランジスタのゲート電極となるタングステン層および上部に窒化シリコン膜が形成された溝を形成し、マスクパターンを用いてゲート電極を形成後上記ゲート電極及び上記溝の上面を含む全面に第2のシリコン窒化膜を形成し、上記第2のシリコン窒化膜を異方性エッチングして上記ゲート電極及び上記素子分離領域の側面にサイドウォールを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項6】請求項5記載の半導体装置の製造方法において、さらに、上記サイドウォールを形成後、層間絶縁膜を形成し、上記層間絶縁膜にコンタクトホールを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項7】請求項5又は6記載の半導体装置の製造方法において、上記タングステン層および上部に窒化シリコン膜が形成された溝を形成する工程が、上記半導体基板にタングステン層及びシリコン窒化膜を順次積層後、上記溝を形成しする工程、上記溝内に酸化シリコンを沈積する工程、上記酸化シリコンをウエットエッチによって後退させる工程、後退した溝内に窒化シリコンを沈積する工程、上記タングステン層をストップとして上記窒化シリコンを化学的機械研磨により研磨する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は半導体装置及びその製造方法、更に詳しくいえば、LSIを構成する半導体基板に形成される素子間の分離構造及びその製造方法に関するものである。

【0002】

【従来の技術】LSIなどの半導体装置では、集積度及び動作速度の向上のため、高密度集積化が重要となる。高密度集積化のなかで素子間の分離構造が一つの重要な問題となる。例えば、相隣るMOSトランジスタのゲート電極間隔を小さくすることが動作速度の向上、また、面積を小さくするため重要である。従来、ゲート電極間の間隔を縮小する方法として、ゲート電極の上面及び側面にシリコン窒化膜を形成する方法が用いられていた。この方法においては、配線層と半導体基板に形成された拡散層との接続を行う配線を通す孔（コンタクトホール）の形成の際に、上記シリコン窒化膜がエッチングストップパとして機能するため、コンタクトホールの一部がゲート電極に掛かっていても配線層とゲート電極が接触しないため、コンタクトホールの一部をゲート電極上に配置することができ、コンタクトホール間隔が縮小でき、従ってゲート電極間隔を小さくできるという利点があった。なお、ゲート電極上面及び側面にのみシリコン窒化膜を形成し、コンタクトホール間隔を縮小する方法はIEDM90, p473-476に記載されている。

【0003】しかし、コンタクトホール間にゲート電極が存在する場合は、コンタクトホールの間隔を縮小することはできるが、素子分離領域を構成するフィールド酸化膜上にはシリコン窒化膜が存在しないため、コンタクトホール間にフィールド酸化膜がある場合は、配線・基板接触防止のため、コンタクトホールとフィールド酸化膜との間に位置合わせ余裕をとらなければならない、コンタクトホール間隔が縮小できないという問題があった。

【0004】この問題を解決する方法として、素子分離のため、素子の分離領域に溝を形成し、その溝内にシリコン窒化膜を埋め込む手法が知られているが、シリコン窒化膜はシリコン酸化膜より誘電率が高いため、上記シリコン窒化膜を埋め込んだ溝を介して存在する配線層（ゲート電極）と基板との間の容量が増大するという問題がある。

【0005】

【発明が解決しようとする課題】従って、本発明の目的は、半導体素子の高密度集積化に適した素子分離構造をもった半導体装置及びその製造方法を実現することである。

【0006】本発明の他の目的は、ゲート電極・基板間容量を増大させることなしに、コンタクトホールの一部がフィールド酸化膜に掛かっていてもフィールド酸化膜の削れを防止でき、配線層と基板との接触を防止することができる半導体装置及びその製造方法を実現することである。

50

【0007】

【課題を解決するための手段】上記目的を達成するた

め、本発明の半導体装置では、半導体基板に溝で構成した素子分離領域を設け、複数の半導体素子を形成した半導体装置において、上記素子分離領域の上面にシリコン窒化膜を形成し、上記溝の内部にシリコン窒化膜より誘電率の低い絶縁体を埋め込む構造とした。

【0008】本発明の好ましい実施形態としては、上記半導体素子は、MOSトランジスタを含み、上記素子分離領域の上面にシリコン窒化膜を形成すると共にゲート電極の上面及び側面にシリコン窒化膜を形成する。また、誘電率の低い絶縁体としては、酸化シリコンが製造上好ましい。

【0009】上記半導体装置を製造するため、特に、上記素子分離領域の製造工程として、半導体基板に素子分離領域なる溝を形成した後、溝内にシリコン酸化膜を埋込み、その後上記シリコン酸化膜を深さ方向の途中までエッチングし、その後シリコン窒化膜を埋め込む工程をもうけた。

【0010】本発明の半導体装置及びその製造方法によれば、ゲート電極上面に形成されたシリコン窒化膜がシリコン酸化膜の研磨の際のエッチングストップ膜として働くので、素子を破壊することなくチャンネルストップとして働く溝をシリコン酸化膜及びシリコン窒化膜で埋めることができる。また、素子分離領域を形成する溝には、シリコン酸化膜が埋め込まれるので、従来の、シリコン窒化膜のみを埋め込むものに比べ、MOSトランジスタのゲート電極・基板間容量を増大させることなしに、コンタクトホールの一部がフィールド酸化膜に掛かっていてもフィールド酸化膜の割れを防止でき、配線層と基板との接触を防止することができる。

【0011】なお、以下の実施の形態においては、本発明の最も好ましいMOSトランジスタの実施例について説明するが、他の半導体装置に適用できくことは明らかである。

【0012】

【発明の実施の形態】

<実施例1>図1ないし図9は、本発明による半導体装置の製造方法の一実施例の製造工程を示す図である。本実施例は、CMOSトランジスタ（以下、CMOSと略称する）のpMOSとnMOSの素子分離領域の製造工程に実施したものである。

【0013】シリコン基板1内にP型ウェル2及びn型ウェル3を形成した後、ゲート酸化膜4を形成後し、その上に、ポリシリコン（Poly-Si）膜5、タングステン（W）膜6、シリコン窒化（Si₃N₄）膜7を順次各々100nm積層する（図1、工程a）。

【0014】この後、Si基板1のp型ウェル2内及びn型ウェル3内、及びpウェルとnウェルとの境界部に、深さ0.35μmの素子分離のための溝8を形成す

る。この後、シリコン酸化（SiO₂）膜9、シリコン窒化膜10を、シリコン酸化膜の上面及び溝8の内面に順次10nmづつ形成する（図2、工程b）。

【0015】次に、シリコン酸化膜を溝及び素子形成領域全面に堆積し、その後化学的機械研磨（chemical mechanical polishing 以下CMPと略称）でシリコン酸化膜を研磨する（図3、工程c）。このとき、シリコン窒化膜10がCMPのストップ膜として働くため、溝内はシリコン酸化膜11で満たされ、その上面はシリコン窒化膜10の上面と同じ高さになる。

【0016】次に、シリコン酸化膜11をウエットエッチで後退させる。ウエットエッチによるシリコン酸化膜11の後退は、Si基板1のP型2及びN型ウェル3の上面程度とする。この時、溝8内に形成されたシリコン窒化膜10がエッチングストップとして働く（図4、工程d）。

【0017】続いて、シリコン窒化膜12を沈積させて、CMP法で、シリコン窒化膜12を研磨する。このCMPにおいて、タングステン膜6がエッチングストップ膜として働くので、上記溝のシリコン窒化膜12の上面はタングステン膜13の上面と同じ高さに形成される（図5、工程e）。

【0018】次に、さらに、タングステン膜13を50nmないし100nm積層し、続いて、シリコン窒化膜14を100nm積層する（図6、工程f）。タングステン膜13はフィールド上に形成される配線層として働く。また、シリコン窒化膜14は上部に形成される配線と基板1を接続するためのコンタクトホールを開口する際のエッチングストップとして働く。

【0019】次に、レジストマスクを用いてシリコン窒化膜14、タングステン膜13、6、ポリシリコン膜5をマスクパターン状にエッチングし、CMOSのゲート電極15を形成する（図7、工程g）。

【0020】この後、CMOSのソース、ドレインとなる拡散層16を形成した後、シリコン窒化窒化膜を全面、すなわちゲート電極部15、分離領域部8、拡散層分上面に形成した後、異方性エッチングを行い、ゲート電極及びフィールド上に形成されたシリコン窒化膜層の側面に窒化シリコンのサイドウォール18を形成する。次いで、ソース・ドレイン領域の低抵抗化のため、高濃度拡散層16を形成する（図8、工程h）。

【0021】次に、PSGで層間絶縁膜19を形成しコンタクトホールを開口し、配線層20を形成する（図9、工程i）。コンタクトホールを開口する際に、窒化シリコンのサイドウォール20は、コンタクトホールがゲートもしくはフィールドに掛かった場合のエッチストップ膜として働く。

【0022】上記実施例1の製造工程は本発明の範囲内で、種々変更できる。例えば、工程b（図2）において、溝内8にシリコン酸化膜9を積層後にシリコン窒化

5

膜10を形成したが、窒化シリコン10を直接溝8内に形成してもよい。また、工程a(図1)において、ポリシリコン膜5とW膜6の密着性を向上させるために境界面にチタン窒化(TiN)膜を形成してもよい。さらに、工程g(図7)において、フィールド上のシリコン窒化膜の側面にタングステンのサイドウォールが形成される場合は、ゲート加工直後又は工程h(図8)のサイドウォール20形成後にタングステンを除去するステップを追加してもよい。

【0023】<実施例2>図10ないし図13は、本発明による半導体装置の製造方法の他の実施例の製造工程の一部を示す図である。本実施例は、MOS等の半導体素子を形成する前に、溝構造の素子分離領域を形成したもある。半導体素子の製造工程は従来のものと同じであるので、素子分離領域の形成工程のみについて説明する。

【0024】実施例1の工程aと同様に、基板1上にゲート酸化膜4を形成後、タングステン6、窒化シリコン7を各々100nm積層する(図10、工程2-a)。

【0025】次に、シリコン基板1をエッチングし、0.35μmの溝8を形成した後、窒化シリコン膜10を10nm積層した後、シリコン酸化膜11を溝内に沈積し、CMPで研磨する(図11、工程2-b)。この時シリコン窒化膜10がストッパ膜として働く。

【0026】続いてシリコン酸化膜11をウエットエッチで後退させ、溝の上部にSiN膜12を形成し、CMPで研磨する。この時、タングステン膜6がエッチングストッパとして働く。さらに、シリコン酸化膜11をウエットエッチで後退させる(図12、以上工程2-c)。次に、タングステン膜をエッチングし、素子分離領域アイソレーションを完成させる(図13、工程2-d)。この方法により、素子分離領域を構成する溝の上面に形成されるシリコン窒化膜の上面が、ゲート酸化膜4の上面と同じでとなるので、以後行われる光を使用したリソグラフィによるゲート電極形成時の光のハレーション、エッチ残りが低減される。

【0027】

【発明の効果】電源配線と拡散層とを接続するためのコンタクトホールを下層のゲート電極及びフィールドに対して位置合わせずれを許容して配置することができるの

6

で、コンタクトホール間隔が縮小でき。このため半導体装置の集積度が向上する。

【図面の簡単な説明】

【図1】本発明による半導体装置の製造方法の第1の実施例の一製造工程を示す図である。

【図2】本発明による半導体装置の製造方法の第1の実施例の一製造工程を示す図である。

【図3】本発明による半導体装置の製造方法の第1の実施例の一製造工程を示す部分断面図である。

【図4】本発明による半導体装置の製造方法の第1の実施例の一製造工程を示す部分断面図である。

【図5】本発明による半導体装置の製造方法の第1の実施例の一製造工程を示す部分断面図である。

【図6】本発明による半導体装置の製造方法の第1の実施例の一製造工程を示す部分断面図である。

【図7】本発明による半導体装置の製造方法の第1の実施例の一製造工程を示す部分断面図である。

【図8】本発明による半導体装置の製造方法の第1の実施例の一製造工程を示す部分断面図である。

【図9】本発明による半導体装置の製造方法の第1の実施例の一製造工程を示す部分断面図である。

【図10】本発明による半導体装置の製造方法の第2の実施例の一製造工程を示す部分断面図である。

【図11】本発明による半導体装置の製造方法の第2の実施例の一製造工程を示す部分断面図である。

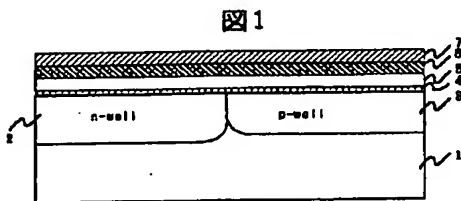
【図12】本発明による半導体装置の製造方法の第2の実施例の一製造工程を示す部分断面図である。

【図13】本発明による半導体装置の製造方法の第2の実施例の一製造工程を示す部分断面図である。

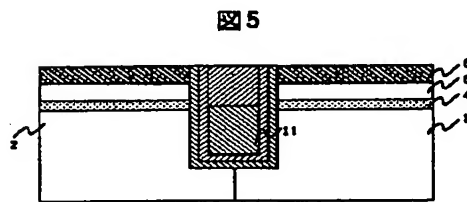
【符号の説明】

1：半導体基板、2：P型ウエル、5、タングステン(W)膜、3：n型ウエル、4：ゲート酸化膜、5：ポリシリコン(Poly-Si)膜、6：タングステン(W)膜、7：シリコン窒化(Si₃N₄)膜、8：溝、9：シリコン酸化(SiO₂)膜、10：シリコン窒化膜、11：シリコン酸化膜、12：シリコン窒化膜、13：タングステン膜、14：シリコン窒化膜、15：電極16：拡散層、18：サイドウォール、19：層間絶縁膜、20：配線層。

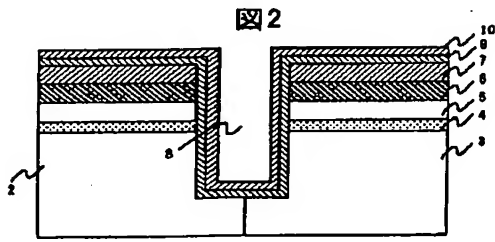
【図1】



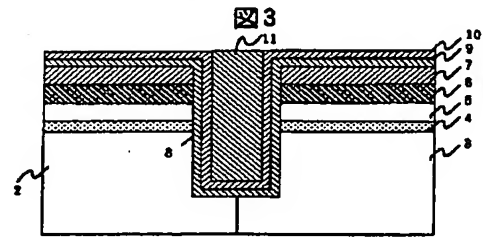
【図5】



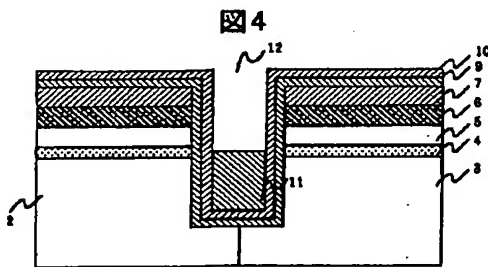
【図2】



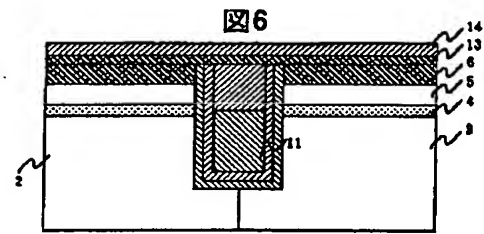
【図3】



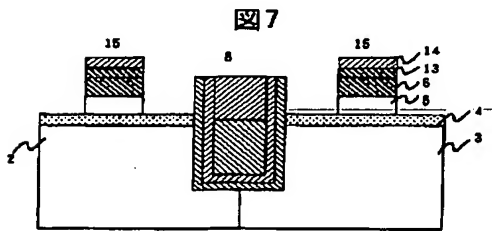
【図4】



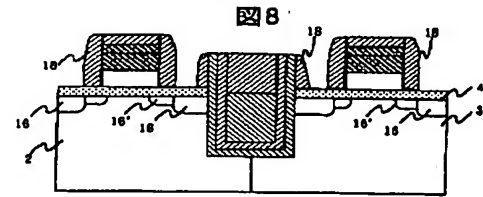
【図6】



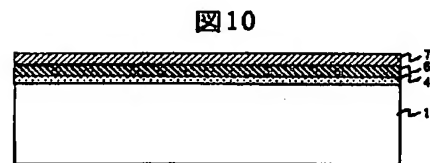
【図7】



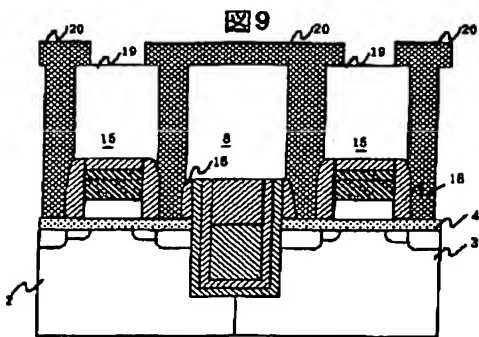
【図8】



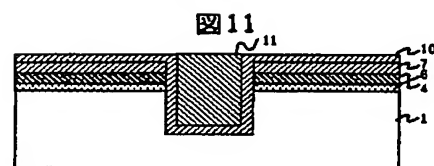
【図10】



【図9】



【図11】



【図1-2】

【図1-3】

図12

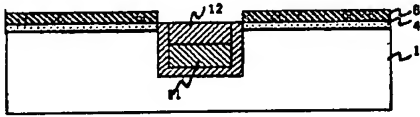


図13

